

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-076246

(43)Date of publication of application : 15.03.2002

---

(51)Int.Cl. H01L 25/04  
H01L 25/18  
H01L 21/56  
H01L 23/50

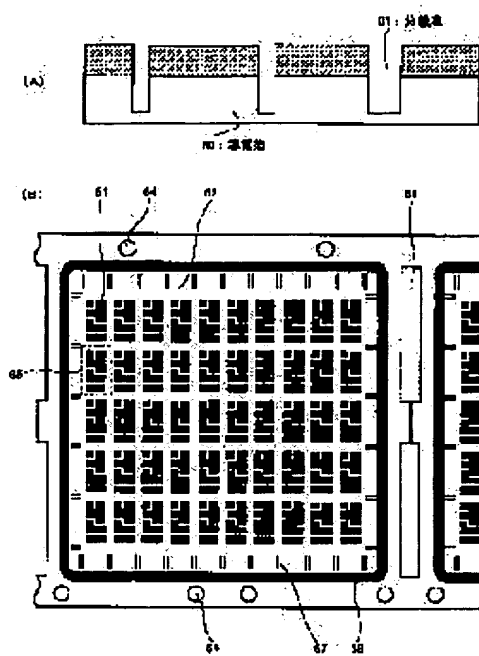
---

(21)Application number : 2000-266737 (71)Applicant : SANYO ELECTRIC  
CO LTD

(22)Date of filing : 04.09.2000 (72)Inventor : SAKAMOTO  
NORIAKI  
KOBAYASHI  
YOSHIYUKI  
SAKAMOTO JUNJI  
OKADA YUKIO  
IGARASHI  
YUUSUKE  
MAEHARA EIJU  
TAKAHASHI  
YUKITSUGU

---

(54) METHOD FOR MANUFACTURING CIRCUIT DEVICE



(57)Abstract:

**PROBLEM TO BE SOLVED:** To solve the problem of a circuit device which is mounted on a circuit element using a ceramic board or a flexible board as a supporting board that the thickness of the supporting board impedes reduction of size and thickness of the circuit device.

**SOLUTION:** After a conductive pattern 51 for each block has been formed on a conductive foil 60 using isolation trenches 61, a circuit element is mounted and molded of insulating resin 50, before being isolated by a conductive pattern formed by etching the rear surface of the conductive

foil. Furthermore, resource-saving manufacturing method of a circuit device suitable for mass production can be implemented, by introducing a measuring process for each block and a dicing process.

## LEGAL STATUS

[Date of request for examination] 07.04.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3600131

[Date of registration] 24.09.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2002-76246  
(P2002-76246A)

(43) 公開日 平成14年3月15日 (2002.3.15)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームコード* (参考)
H 0 1 L	25/04	H 0 1 L 21/56	T 5 F 0 6 1
	25/18	23/50	R 5 F 0 6 7
	21/56	25/04	Z
	23/50		

審査請求 未請求 請求項の数19 O L (全 10 頁)

(21) 出願番号	特願2000-266737 (P2000-266737)	(71) 出願人	000001889 三洋電機株式会社 大阪府守口市京阪本通 2 丁目 5 番 5 号
(22) 出願日	平成12年9月4日 (2000.9.4)	(72) 発明者	坂本 則明 大阪府守口市京阪本通 2 丁目 5 番 5 号 三 洋電機株式会社内
		(72) 発明者	小林 義幸 大阪府守口市京阪本通 2 丁目 5 番 5 号 三 洋電機株式会社内
		(74) 代理人	100091605 弁理士 岡田 敬 (外 1 名)

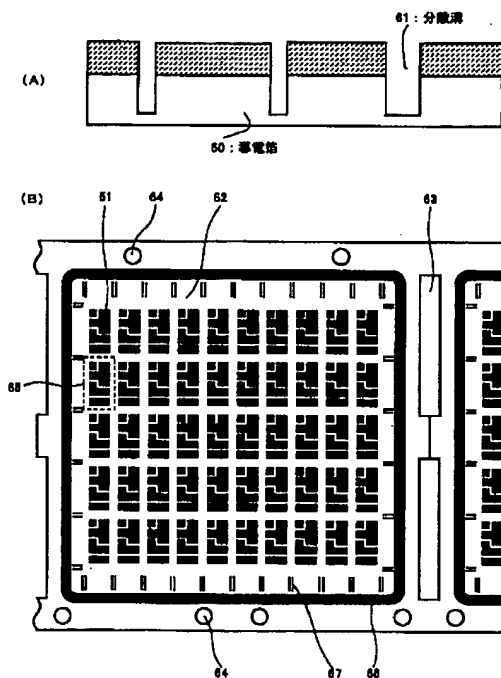
最終頁に続く

(54) 【発明の名称】 回路装置の製造方法

(57) 【要約】

【課題】 セラミック基板、フレキシブルシート等を支持基板として回路素子が実装された回路装置がある。しかしこれらの支持基板の厚みが、回路装置の小型薄型化の障害となる問題があった。

【解決手段】 導電箔 60 に分離溝 61 を用いてブロック毎の導電パターン 51 を形成した後、回路素子を実装し、絶縁性樹脂 50 でモールドし、導電箔の裏面をエッチングして導電パターンとして分離している。更にブロック毎の測定工程およびダイシング工程を導入して省資源で大量生産に適した回路装置の製造方法を実現できる。



## 【特許請求の範囲】

【請求項1】 導電箔を用意し、少なくとも回路素子の搭載部を多数個形成する導電パターンを除く領域の前記導電箔に前記導電箔の厚みよりも浅い分離溝を形成して導電パターンを形成する工程と、

所望の前記導電パターンの前記各搭載部に回路素子を固着する工程と、

各搭載部の前記回路素子を一括して被覆し、前記分離溝に充填されるように絶縁性樹脂で共通モールドする工程と、

前記分離溝を設けていない厚み部分の前記導電箔を除去する工程と、

前記絶縁性樹脂で一括してモールドされた各搭載部の前記回路素子の特性の測定を行う工程と、

前記絶縁性樹脂を各搭載部毎にダイシングにより分離する工程とを具備することを特徴とする回路装置の製造方法。

【請求項2】 導電箔を用意し、少なくとも回路素子の搭載部を多数個形成する導電パターンを除く領域の前記導電箔に前記導電箔の厚みよりも浅い分離溝を形成して導電パターンを形成する工程と、

所望の前記導電パターンの前記各搭載部に回路素子を固着する工程と、

前記各搭載部の回路素子の電極と所望の前記導電パターンとを電氣的に接続する接続手段を形成する工程と

各搭載部の前記回路素子を一括して被覆し、前記分離溝に充填されるように絶縁性樹脂で共通モールドする工程と、

前記分離溝を設けていない厚み部分の前記導電箔を除去する工程と、

前記絶縁性樹脂で一括してモールドされた各搭載部の前記回路素子の特性の測定を行う工程と、

前記絶縁性樹脂を各搭載部毎にダイシングにより分離する工程とを具備することを特徴とする回路装置の製造方法。

【請求項3】 前記導電箔は銅、アルミニウム、鉄-ニッケルのいずれかで構成されることを特徴とする請求項1または請求項2に記載された回路装置の製造方法。

【請求項4】 前記導電箔の表面を導電皮膜で少なくとも部分的に被覆することを特徴とする請求項1または請求項2に記載された回路装置の製造方法。

【請求項5】 前記導電被膜はニッケル、金あるいは銀メッキ形成されることを特徴とする請求項4に記載された回路装置の製造方法。

【請求項6】 前記導電箔に選択的に形成される前記分離溝は化学的あるいは物理的エッチングにより形成されることを特徴とする請求項1または請求項2に記載された回路装置の製造方法。

【請求項7】 前記回路素子は半導体ベアチップ、チップ回路部品のいずれかあるいは両方を固着されることを

特徴とする請求項1または請求項2に記載された回路装置の製造方法。

【請求項8】 前記接続手段はワイヤーボンディングで形成されることを特徴とする請求項2に記載された回路装置の製造方法。

【請求項9】 前記絶縁性樹脂はトランスファーモールドで付着されることを特徴とする請求項1または請求項2に記載された回路装置の製造方法。

10 【請求項10】 前記導電箔には少なくとも回路素子の搭載部を多数個形成する導電パターンをマトリックス状に配列したブロックを複数個並べたことを特徴とする請求項1または請求項2に記載された回路装置の製造方法。

【請求項11】 前記絶縁性樹脂は前記ブロック毎にトランスファーモールドで付着されることを特徴とする請求項10に記載された回路装置の製造方法。

【請求項12】 前記絶縁性樹脂でモールドされた前記各ブロックは前記分離溝を設けていない厚み部分の前記導電箔を除去する工程の後に前記導電箔の残余部から分離されることを特徴とする請求項10に記載された回路装置の製造方法。

【請求項13】 前記絶縁性樹脂でモールドされた前記各ブロック毎に各搭載部の前記回路素子の特性の測定を行うことを特徴とする請求項10に記載された回路装置の製造方法。

【請求項14】 前記絶縁性樹脂でモールドされた前記各ブロック毎に各搭載部にダイシングにより分離することを特徴とする請求項10に記載された回路装置の製造方法。

30 【請求項15】 前記導電パターンと一緒に形成した合わせマークを用いてダイシングを行うことを特徴とする請求項14に記載された回路装置の製造方法。

【請求項16】 前記導電パターンと一緒に形成した対向する合わせマークを用いてダイシングを行うことを特徴とする請求項14に記載された回路装置の製造方法。

【請求項17】 前記絶縁性樹脂でモールドされた前記各ブロックは載置台に真空中で吸着してダイシングを行うことを特徴とする請求項14に記載された回路装置の製造方法。

40 【請求項18】 前記絶縁性樹脂のダイシング時の切削深さをほぼ前記絶縁性樹脂の厚みとし、その後機械的に割って独立した回路装置に分離することを特徴とする請求項17に記載された回路装置の製造方法。

【請求項19】 前記絶縁性樹脂のダイシング時の切削深さを完全に前記絶縁性樹脂の厚み以上とし、ダイシング時に独立した回路装置に分離することを特徴とする請求項17に記載された回路装置の製造方法。

【発明の詳細な説明】

【0001】

50 【発明の属する技術分野】 本発明は、回路装置の製造方

法に関し、特に支持基板を不要にした薄型の回路装置の製造方法に関するものである。

【0002】

【従来の技術】従来、電子機器にセットされる回路装置は、携帯電話、携帯用のコンピューター等に採用されるため、小型化、薄型化、軽量化が求められている。

【0003】例えば、回路装置として半導体装置を例にして述べると、一般的な半導体装置として、従来通常のトランスファーマールドで封止されたパッケージ型半導体装置がある。この半導体装置は、図10のように、プリント基板PSに実装される。

【0004】またこのパッケージ型半導体装置は、半導体チップ2の周囲を樹脂層3で被覆し、この樹脂層3の側部から外部接続用のリード端子4が導出されたものである。

【0005】しかしこのパッケージ型半導体装置1は、リード端子4が樹脂層3から外に出ており、全体のサイズが大きく、小型化、薄型化および軽量化を満足するものではなかった。

【0006】そのため、各社が競って小型化、薄型化および軽量化を実現すべく、色々な構造を開発し、最近ではCSP（チップサイズパッケージ）と呼ばれる、チップのサイズと同等のウェハスケールCSP、またはチップサイズよりも若干大きいサイズのCSPが開発されている。

【0007】図11は、支持基板としてガラスエポキシ基板5を採用した、チップサイズよりも若干大きいCSP6を示すものである。ここではガラスエポキシ基板5にトランジスタチップTが実装されたものとして説明していく。

【0008】このガラスエポキシ基板5の表面には、第1の電極7、第2の電極8およびダイパッド9が形成され、裏面には第1の裏面電極10と第2の裏面電極11が形成されている。そしてスルーホールTHを介して、前記第1の電極7と第1の裏面電極10が、第2の電極8と第2の裏面電極11が電氣的に接続されている。またダイパッド9には前記ペアのトランジスタチップTが固着され、トランジスタのエミッタ電極と第1の電極7が金属細線12を介して接続され、トランジスタのベース電極と第2の電極8が金属細線12を介して接続されている。更にトランジスタチップTを覆うようにガラスエポキシ基板5に樹脂層13が設けられている。

【0009】前記CSP6は、ガラスエポキシ基板5を採用するが、ウェハスケールCSPと違い、チップTから外部接続用の裏面電極10、11までの延在構造が簡単であり、安価に製造できるメリットを有する。

【0010】また前記CSP6は、図10のように、プリント基板PSに実装される。プリント基板PSには、電気回路を構成する電極、配線が設けられ、前記CSP6、パッケージ型半導体装置1、チップ抵抗CRまたは

チップコンデンサCC等が電氣的に接続されて固着される。

【0011】そしてこのプリント基板で構成された回路は、色々なセットの中に取り付けられる。

【0012】つぎに、このCSPの製造方法を図12および図13を参照しながら説明する。

【0013】まず基材（支持基板）としてガラスエポキシ基板5を用意し、この両面に絶縁性接着剤を介してCu箔20、21を圧着する。（以上図12Aを参照）

続いて、第1の電極7、第2の電極8、ダイパッド9、第1の裏面電極10および第2の裏面電極11に対応するCu箔20、21に耐エッチング性のレジスト22を被覆し、Cu箔20、21をパターンニングする。尚、パターンニングは、表と裏で別々にしても良い。（以上図12Bを参照）

続いて、ドリルやレーザを利用してスルーホールTHのための孔を前記ガラスエポキシ基板に形成し、この孔にメッキを施し、スルーホールTHを形成する。このスルーホールTHにより第1の電極7と第1の裏面電極10、第2の電極8と第2の裏面電極10が電氣的に接続される。（以上図12Cを参照）

更に、図面では省略をしたが、ボンディングポストと成る第1の電極7、第2の電極8にAuメッキを施すと共に、ダイボンディングポストとなるダイパッド9にAuメッキを施し、トランジスタチップTをダイボンディングする。

【0014】最後に、トランジスタチップTのエミッタ電極と第1の電極7、トランジスタチップTのベース電極と第2の電極8を金属細線12を介して接続し、樹脂層13で被覆している。（以上図12Dを参照）

以上の製造方法により、支持基板5を採用したCSP型の電気素子が完成する。この製造方法は、支持基板としてフレキシブルシートを採用しても同様である。

【0015】一方、セラミック基板を採用した製造方法を図13のフローに示す。支持基板であるセラミック基板を用意した後、スルーホールを形成し、その後、導電ペーストを使い、表と裏の電極を印刷し、焼結している。その後、前製造方法の樹脂層を被覆するまでは図12の製造方法と同じであるが、セラミック基板は、非常に硬く、フレキシブルシートやガラスエポキシ基板と異なり、直ぐに欠けてしまうため金型を用いたモールドができない問題がある。そのため、封止樹脂をポッティングし、硬化した後、封止樹脂を平らにする研磨を施し、最後にダイシング装置を使って個別分離している。

【0016】

【発明が解決しようとする課題】図11に於いて、トランジスタチップT、接続手段7～12および樹脂層13は、外部との電氣的接続、トランジスタの保護をする上で、必要な構成要素であるが、これだけの構成要素で小型化、薄型化、軽量化を実現する回路素子を提供するの

は難しかった。

【0017】また、支持基板となるガラスエポキシ基板5は、前述したように本来不要なものである。しかし製造方法上、電極を貼り合わせるため、支持基板として採用しており、このガラスエポキシ基板5を無くすることができなかった。

【0018】そのため、このガラスエポキシ基板5を採用することによって、コストが上昇し、更にはガラスエポキシ基板5が厚いために、回路素子として厚くなり、小型化、薄型化、軽量化に限界があった。

【0019】更に、ガラスエポキシ基板やセラミック基板では必ず両面の電極を接続するスルーホール形成工程が不可欠であり、製造工程も長くなる問題もあった。

【0020】

【課題を解決するための手段】本発明は、前述した多くの課題に鑑みて成され、導電箔を用意し、少なくとも回路素子の搭載部を多数個形成する導電パターンを除く領域の前記導電箔に前記導電箔の厚みよりも浅い分離溝を形成して導電パターンを形成する工程と、所望の前記導電パターンの前記各搭載部に回路素子を固着する工程と、各搭載部の前記回路素子を一括して被覆し、前記分離溝に充填されるように絶縁性樹脂で共通モールドする工程と、前記分離溝を設けていない厚み部分の前記導電箔を除去する工程と、前記絶縁性樹脂で一括してモールドされた各搭載部の前記回路素子の特性の測定を行う工程と、前記絶縁性樹脂を各搭載部毎にダイシングにより分離する工程とを具備することを特徴とする。

【0021】本発明では、導電パターンを形成する導電箔がスタートの材料であり、絶縁性樹脂がモールドされるまでは導電箔が支持機能を有し、モールド後は絶縁性樹脂が支持機能を有することで支持基板を不要にでき、従来の課題を解決することができる。また本発明では、モールド、測定およびダイシングをブロック毎にできるので、多数個の回路装置を量産でき、従来の課題を解決することができる。

【0022】

【発明の実施の形態】まず本発明の回路装置の製造方法について図1を参照しながら説明する。

【0023】本発明は、導電箔を用意し、少なくとも回路素子の搭載部を多数個形成する導電パターンを除く領域の前記導電箔に前記導電箔の厚みよりも浅い分離溝を形成して導電パターンを形成する工程と、所望の前記導電パターンの前記各搭載部に回路素子を固着する工程と、各搭載部の前記回路素子を一括して被覆し、前記分離溝に充填されるように絶縁性樹脂で共通モールドする工程と、前記分離溝を設けていない厚み部分の前記導電箔を除去する工程と、前記絶縁性樹脂で一括してモールドされた各搭載部の前記回路素子の特性の測定を行う工程と、前記絶縁性樹脂を各搭載部毎にダイシングにより分離する工程から構成されている。

【0024】図1に示すフローは上述した工程とは一致していないが、Cu箔、Agメッキ、ハーフエッチングの3つのフローで導電パターンの形成が行われる。ダイボンドおよびワイヤーボンディングの2つのフローで各搭載部への回路素子の固着と回路素子の電極と導電パターンの接続が行われる。トランスファーモールドのフローでは絶縁性樹脂による共通モールドが行われる。裏面Cu箔除去のフローでは分離溝のない厚み部分の導電箔のエッチングが行われる。裏面処理のフローでは裏面に露出した導電パターンの電極処理が行われる。測定のフローでは各搭載部に組み込まれた回路素子の良品判別や特性ランク分けが行われる。ダイシングのフローでは絶縁性樹脂からダイシングで個別の回路素子への分離が行われる。

【0025】以下に、本発明の各工程を図2～図9を参照して説明する。

【0026】本発明の第1の工程は、図2から図4に示すように、導電箔60を用意し、少なくとも回路素子52の搭載部を多数個形成する導電パターン51を除く領域の導電箔60に導電箔60の厚みよりも浅い分離溝61を形成して導電パターン51を形成することにある。

【0027】本工程では、まず図2Aの如く、シート状の導電箔60を用意する。この導電箔60は、ロウ材の付着性、ボンディング性、メッキ性が考慮されてその材料が選択され、材料としては、Cuを主材料とした導電箔、Alを主材料とした導電箔またはFe-Ni等の合金から成る導電箔等が採用される。

【0028】導電箔の厚さは、後のエッチングを考慮すると10μm～300μm程度が好ましく、ここでは70μm(2オンス)の銅箔を採用した。しかし300μm以上でも10μm以下でも基本的には良い。後述するように、導電箔60の厚みよりも浅い分離溝61が形成できればよい。

【0029】尚、シート状の導電箔60は、所定の幅、例えば45mmでロール状に巻かれて用意され、これが後述する各工程に搬送されても良いし、所定の大きさにカットされた短冊状の導電箔60が用意され、後述する各工程に搬送されても良い。

【0030】具体的には、図2Bに示す如く、短冊状の導電箔60に多数の搭載部が形成されるブロック62が4～5個離間して並べられる。各ブロック62間にはスリット63が設けられ、モールド工程等での加熱処理で発生する導電箔60の応力を吸収する。また導電箔60の上下周端にはインデックス孔64が一定の間隔で設けられ、各工程での位置決めに用いられる。

【0031】続いて、導電パターンを形成する。

【0032】まず、図3に示す如く、Cu箔60の上に、ホトレジスト(耐エッチングマスク)PRを形成し、導電パターン51となる領域を除いた導電箔60が露出するようにホトレジストPRをパターンニングする。

そして、図4Aに示す如く、ホトレジストPRを介して導電箔60を選択的にエッチングする。

【0033】エッチングにより形成された分離溝61の深さは、例えば50 $\mu$ mであり、その側面は、粗面となるため絶縁性樹脂50との接着性が向上される。

【0034】またこの分離溝61の側壁は、模式的にストレートで図示しているが、除去方法により異なる構造となる。この除去工程は、ウェットエッチング、ドライエッチング、レーザによる蒸発、ダイシングが採用できる。ウェットエッチングの場合、エッチャントは、塩化第二鉄または塩化第二銅が主に採用され、前記導電箔は、このエッチャントの中にディッピングされるか、このエッチャントでシャワーリングされる。ここでウェットエッチングは、一般に非異方性にエッチングされるため、側面は湾曲構造になる。

【0035】またドライエッチングの場合は、異方性、非異方性でエッチングが可能である。現在では、Cuを反応性イオンエッチングで取り除くことは不可能といわれているが、スパッタリングで除去できる。またスパッタリングの条件によって異方性、非異方性でエッチング

【0036】またレーザでは、直接レーザ光を当てて分離溝61を形成でき、この場合は、どちらかといえば分離溝61の側面はストレートに形成される。

【0037】なお、図3に於いて、ホトレジストの代わりにエッチング液に対して耐食性のある導電被膜（図示せず）を選択的に被覆しても良い。導電路と成る部分に選択的に被覆すれば、この導電被膜がエッチング保護膜となり、レジストを採用することなく分離溝をエッチングできる。この導電被膜として考えられる材料は、Ag、Ni、Au、PtまたはPd等である。しかもこれら耐食性の導電被膜は、ダイパッド、ボンディングパッドとしてそのまま活用できる特徴を有する。

【0038】例えばAg被膜は、Auと接着するし、ロウ材とも接着する。よってチップ裏面にAu被膜が被覆されていれば、そのまま導電路51上のAg被膜にチップを熱圧着でき、また半田等のロウ材を介してチップを固着できる。またAgの導電被膜にはAu細線が接着できるため、ワイヤーボンディングも可能となる。従ってこれらの導電被膜をそのままダイパッド、ボンディング

【0039】図4Bに具体的な導電パターン51を示す。本図は図2Bで示したブロック62の1個を拡大したものの対応する。黒く塗られた部分の1個が1つの搭載部65であり、導電パターン51を構成し、1つのブロック62には5行10列のマトリックス状に多数の搭載部65が配列され、各搭載部65毎に同一の導電パターン51が設けられている。各ブロックの周辺には枠状のパターン66が設けられ、それと少し離間してその内側にダイシング時の位置合わせマーク67が設けられてい

る。枠状のパターン66はモールド金型との嵌合に使用され、また導電箔60の裏面エッチング後には絶縁性樹脂50の補強をする働きを有する。

【0040】本発明の第2の工程は、図5に示す如く、所望の導電パターン51の各搭載部65に回路素子52を固着し、各搭載部65の回路素子52の電極と所望の導電パターン51とを電気的に接続する接続手段を形成することにある。

【0041】回路素子52としては、トランジスタ、ダイオード、ICチップ等の半導体素子、チップコンデンサ、チップ抵抗等の受動素子である。また厚みが厚くなるが、CSP、BGA等のフェイスダウンの半導体素子も実装できる。

【0042】ここでは、ベアのトランジスタチップ52Aが導電パターン51Aにダイボンディングされ、エミッタ電極と導電パターン51B、ベース電極と導電パターン51Bが、熱圧着によるボールボンディングあるいは超音波によるウェッジボンディング等で固着された金属細線55Aを介して接続される。また52Bは、チップコンデンサまたは受動素子であり、半田等のロウ材または導電ペースト55Bで固着される。

【0043】本工程では、各ブロック62に多数の導電パターン51が集積されているので、回路素子52の固着およびワイヤーボンディングが極めて効率的に行える利点がある。

【0044】本発明の第3の工程は、図6に示す如く、各搭載部63の回路素子52を一括して被覆し、分離溝61に充填されるように絶縁性樹脂50で共通モールドすることにある。

【0045】本工程では、図6Aに示すように、絶縁性樹脂50は回路素子52A、52Bおよび複数の導電パターン51A、51B、51Cを完全に被覆し、導電パターン51間の分離溝61には絶縁性樹脂50が充填された導電パターン51A、51B、51Cの側面の湾曲構造と嵌合して強固に結合する。そして絶縁性樹脂50により導電パターン51が支持されている。

【0046】また本工程では、トランスファーマールド、インジェクションモールド、またはディッピングにより実現できる。樹脂材料としては、エポキシ樹脂等の熱硬化性樹脂がトランスファーマールドで実現でき、ポリイミド樹脂、ポリフェニレンサルファイド等の熱可塑性樹脂はインジェクションモールドで実現できる。

【0047】更に、本工程でトランスファーマールドあるいはインジェクションモールドする際に、図6Bに示すように各ブロック62は1つの共通のモールド金型に搭載部63を納め、各ブロック毎に1つの絶縁性樹脂50で共通にモールドを行う。このために従来のトランスファーマールド等の様に各搭載部を個別にモールドする方法に比べて、大幅な樹脂量の削減が図れる。

【0048】導電箔60表面に被覆された絶縁性樹脂50



0の厚さは、回路素子52のボンディングワイヤー55Aの最頂部から約100 $\mu$ m程度が被覆されるように調整されている。この厚みは、強度を考慮して厚くすることも、薄くすることも可能である。

【0049】本工程の特徴は、絶縁性樹脂50を被覆するまでは、導電パターン51となる導電箔60が支持基板となることである。従来では、図12の様に、本来必要としない支持基板5を採用して導電路7〜11を形成しているが、本発明では、支持基板となる導電箔60は、電極材料として必要な材料である。そのため、構成材料を極力省いて作業できるメリットを有し、コストの低下も実現できる。

【0050】また分離溝61は、導電箔の厚みよりも浅く形成されているため、導電箔60が導電パターン51として個々に分離されていない。従ってシート状の導電箔60として一体で取り扱え、絶縁性樹脂50をモールドする際、金型への搬送、金型への実装の作業が非常に楽になる特徴を有する。

【0051】本発明の第4の工程は、図6に示す如く、分離溝61を設けていない厚み部分の導電箔60を除去することにある。

【0052】本工程は、導電箔60の裏面を化学的および/または物理的に除き、導電パターン51として分離するものである。この工程は、研磨、研削、エッチング、レーザの金属蒸発等により施される。

【0053】実験では研磨装置または研削装置により全面を30 $\mu$ m程度削り、分離溝61から絶縁性樹脂50を露出させている。この露出される面を図6では点線で示している。その結果、約40 $\mu$ mの厚さの導電パターン51となって分離される。また、絶縁性樹脂50が露出する手前まで、導電箔60を全面ウェットエッチングし、その後、研磨または研削装置により全面を削り、絶縁性樹脂50を露出させても良い。更に、導電箔60を点線で示す位置まで全面ウェットエッチングし、絶縁性樹脂50を露出させても良い。

【0054】この結果、絶縁性樹脂50に導電パターン51の裏面が露出する構造となる。すなわち、分離溝61に充填された絶縁性樹脂50の表面と導電パターン51の表面は、実質的に一致する構造となっている。従って、本発明の回路装置53は図11に示した従来の裏面電極10、11のように段差が設けられないため、マウント時に半田等の表面張力でそのまま水平に移動してセルフアラインできる特徴を有する。

【0055】更に、導電パターン51の裏面処理を行い、図7に示す最終構造を得る。すなわち、必要によって露出した導電パターン51に半田等の導電材を被着し、回路装置として完成する。

【0056】本発明の第5の工程は、図8に示す如く、絶縁性樹脂50で一括してモールドされた各搭載部63の回路素子52の特性の測定を行うことにある。

【0057】前工程で導電箔60の裏面エッチングをした後に、導電箔60から各ブロック62が切り離される。このブロック62は絶縁性樹脂50で導電箔60の残余部と連結されているので、切断金型を用いず機械的に導電箔60の残余部から剥がすことで達成できる。

【0058】各ブロック62の裏面には図8に示すように導電パターン51の裏面が露出されており、各搭載部65が導電パターン51形成時と全く同一にマトリックス状に配列されている。この導電パターン51の絶縁性樹脂50から露出した裏面電極56にプローブ68を当てて、各搭載部65の回路素子52の特性パラメータ等を個別に測定して良不良の判定を行い、不良品には磁気インク等でマーキングを行う。

【0059】本工程では、各搭載部65の回路装置53は絶縁性樹脂50でブロック62毎に一体で支持されているので、個別にバラバラに分離されていない。従って、テスターの載置台に置かれたブロック62は搭載部65のサイズ分だけ矢印のように縦方向および横方向にピッチ送りをすることで、極めて早く大量にブロック62の各搭載部65の回路装置53の測定を行える。すなわち、従来必要であった回路装置の表裏の判別、電極の位置の認識等が不要にできるので、測定時間の大幅な短縮を図れる。

【0060】本発明の第6の工程は、図9に示す如く、絶縁性樹脂50を各搭載部65毎にダイシングにより分離することにある。

【0061】本工程では、ブロック62をダイシング装置の載置台に真空中で吸着させ、ダイシングブレード69で各搭載部65間のダイシングライン70に沿って分離溝61の絶縁性樹脂50をダイシングし、個別の回路装置53に分離する。

【0062】本工程で、ダイシングブレード69はほぼ絶縁性樹脂50を切断する切削深さで行い、ダイシング装置からブロック62を取り出した後にローラでチョコレートブレイクするとよい。あるいはダイシングブレード69は完全に絶縁性樹脂50を切断する切削深さで行い、載置台から直接吸着コレットでテーピングをしても良い。

【0063】なお、ダイシング時は予め前述した第1の工程で設けた各ブロックの周辺の枠状のパターン66の内側に設けた相対向する位置合わせマーク67を認識して、これを基準としてダイシングを行う。周知ではあるが、ダイシングは縦方向にすべてのダイシングライン70をダイシングをした後、載置台を90度回転させて横方向のダイシングライン70に従ってダイシングを行う。

【0064】

【発明の効果】本発明では、導電パターンの材料となる導電箔自体を支持基板として機能させ、分離溝の形成時あるいは回路素子の実装、絶縁性樹脂の被着時までは導

電箔で全体を支持し、また導電箔を各導電パターンとして分離する時は、絶縁性樹脂を支持基板にして機能させている。従って、回路素子、導電箔、絶縁性樹脂の必要最小限で製造できる。従来例で説明した如く、本来回路装置を構成する上で支持基板が要らなくなり、コスト的にも安価にできる。また支持基板が不要であること、導電パターンが絶縁性樹脂に埋め込まれていること、更には絶縁性樹脂と導電箔の厚みの調整が可能であることにより、非常に薄い回路装置が形成できるメリットもある。

【0065】次に、本発明では絶縁性樹脂のモールド工程でブロック毎の共通モールドを行うことにより大幅な樹脂量の削減が図れる

更に、測定工程およびダイシング工程でブロック毎に処理を行える利点を有する。従って、測定工程では極めて早く大量にブロックの各搭載部の回路装置の測定を行え、従来必要であった回路装置の表裏の判別、電極の位置の認識等が不要にできるので、測定時間の大幅な短縮を図れる。またダイシング工程では位置合わせマークを用いてダイシングラインの認識が早く確実に行われる利点を有する。更にダイシングは絶縁性樹脂層のみの切断でよく、導電箔を切断しないことによりダイシングブレードの寿命も長くでき、導電箔を切断する場合に発生する金属バリの発生もない。更にまたダイシングシートを用いないので、ダイシングシートへのブロックの貼り付け作業や剥離作業も不要となる。

【0066】また図13から明白なように、スルーホール形成工程、導体の印刷工程（セラミック基板の場合）等を省略できるので、従来より従来より製造工程を大幅に短縮でき、全行程を内作できる利点を有する。またフレーム金型も一切不要であり、極めて短納期となる製造方法である。

\*【図面の簡単な説明】

【図1】本発明の製造フローを説明する図である。

【図2】本発明の回路装置の製造方法を説明する図である。

【図3】本発明の回路装置の製造方法を説明する図である。

【図4】本発明の回路装置の製造方法を説明する図である。

【図5】本発明の回路装置の製造方法を説明する図である。

【図6】本発明の回路装置の製造方法を説明する図である。

【図7】本発明の回路装置の製造方法を説明する図である。

【図8】本発明の回路装置の製造方法を説明する図である。

【図9】本発明の回路装置の製造方法を説明する図である。

【図10】従来の回路装置の実装構造を説明する図である。

【図11】従来の回路装置を説明する図である。

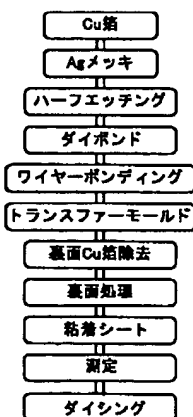
【図12】従来の回路装置の製造方法を説明する図である。

【図13】従来の回路装置の製造方法を説明する図である。

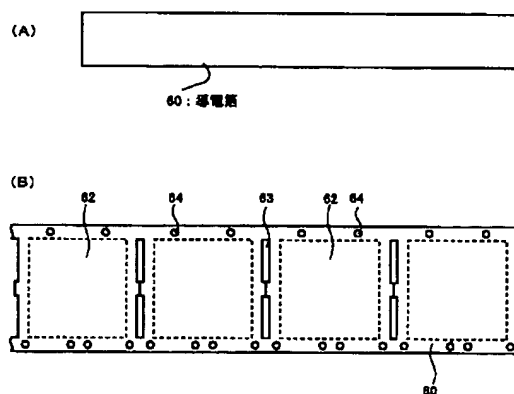
【符号の説明】

50	絶縁性樹脂
51	導電パターン
52	回路素子
53	回路装置
61	分離溝
62	ブロック

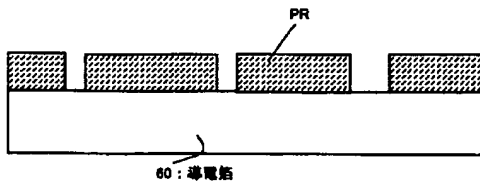
【図1】



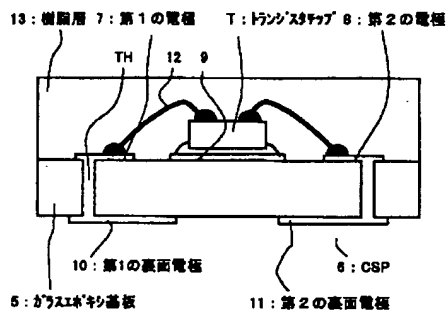
【図2】



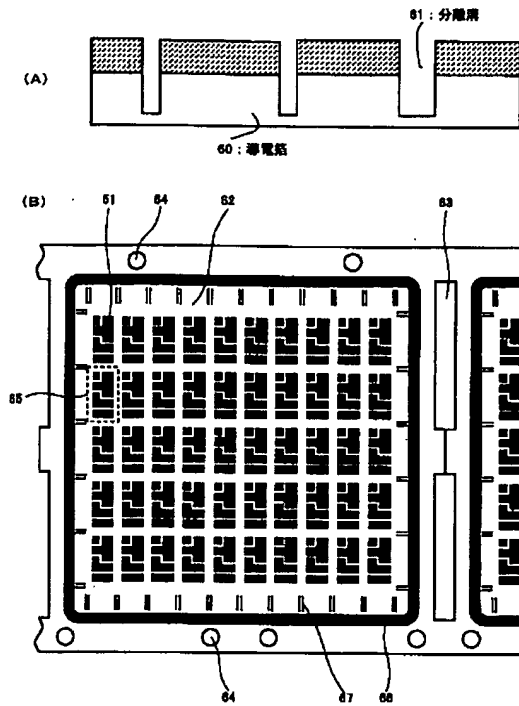
【図3】



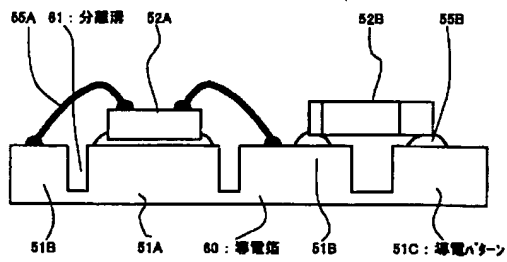
【図11】



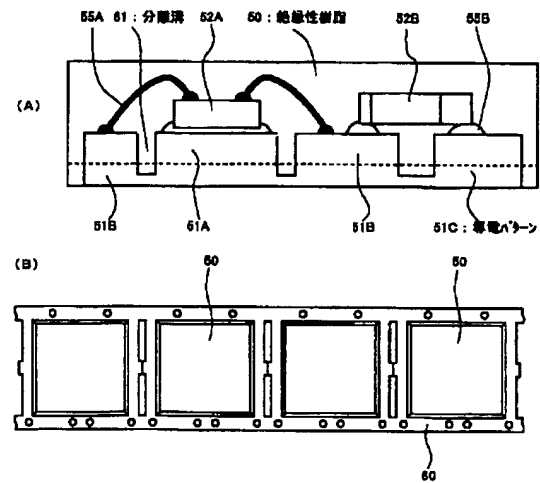
【図4】



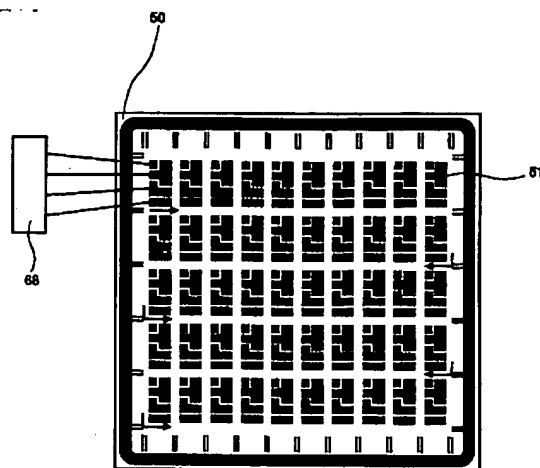
【図5】



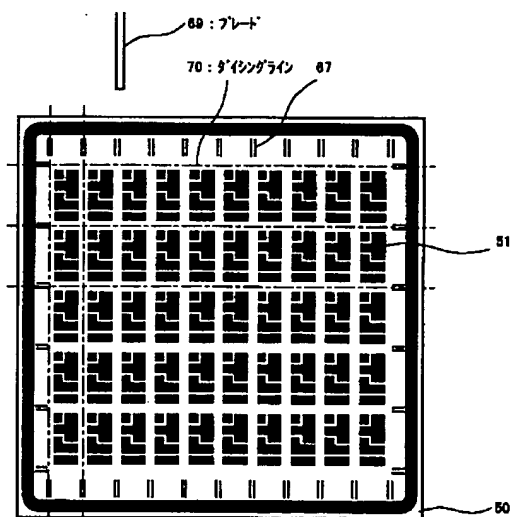
【図6】



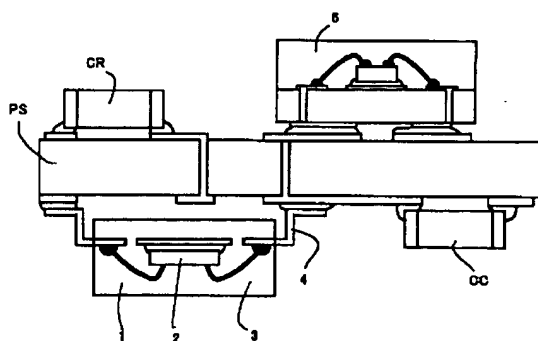
【图8】



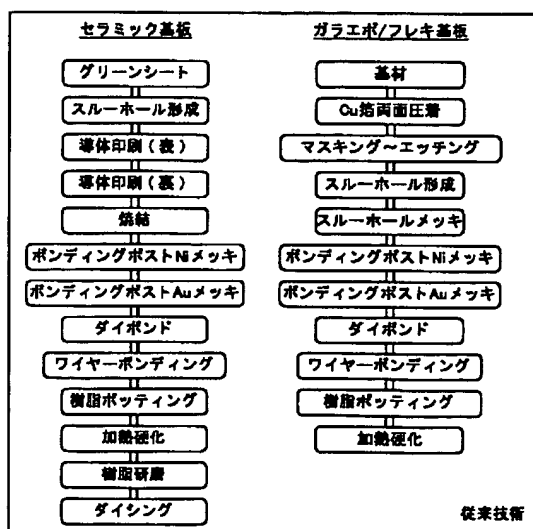
【図9】



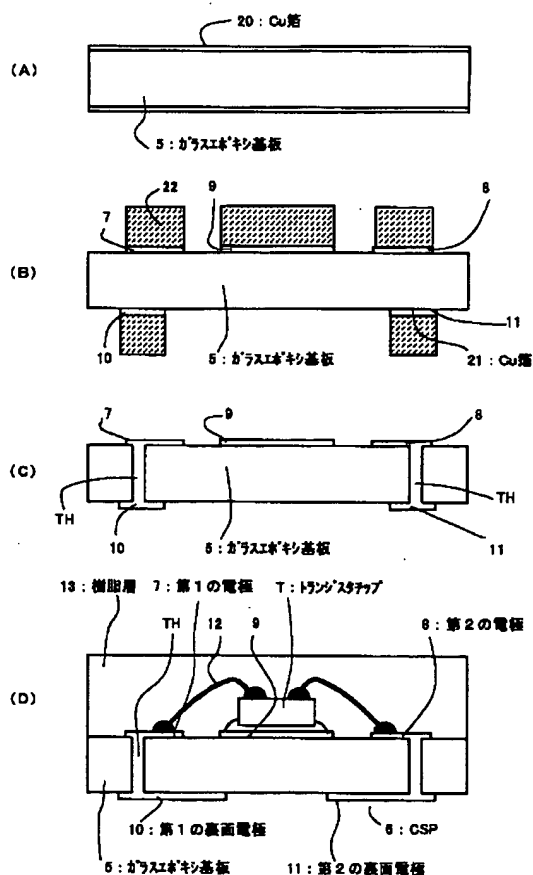
【図 10】



【圖 13】



【図12】



フロントページの続き

(72)発明者 阪本 純次  
大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内

(72)発明者 岡田 幸夫  
大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内

(72)発明者 五十嵐 優助  
大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内

(72)発明者 前原 栄寿  
大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内

(72)発明者 高橋 幸嗣  
群馬県伊勢崎市喜多町29番地 関東三洋電  
子株式会社内

Fターム(参考) 5F061 AA01 BA01 BA03 CA21 DD12  
DD13 FA02  
5F067 AA01 AB00 AB04 DA16 DE01